

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-46473

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.<sup>5</sup>

G O 6 F 12/06

識別記号

5 7 0

560

室内整理番号

8841-5B

8841-5B

FI

### 技術表示箇所

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-202997

(22)出願日 平成3年(1991)8月13日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 野本 和則

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

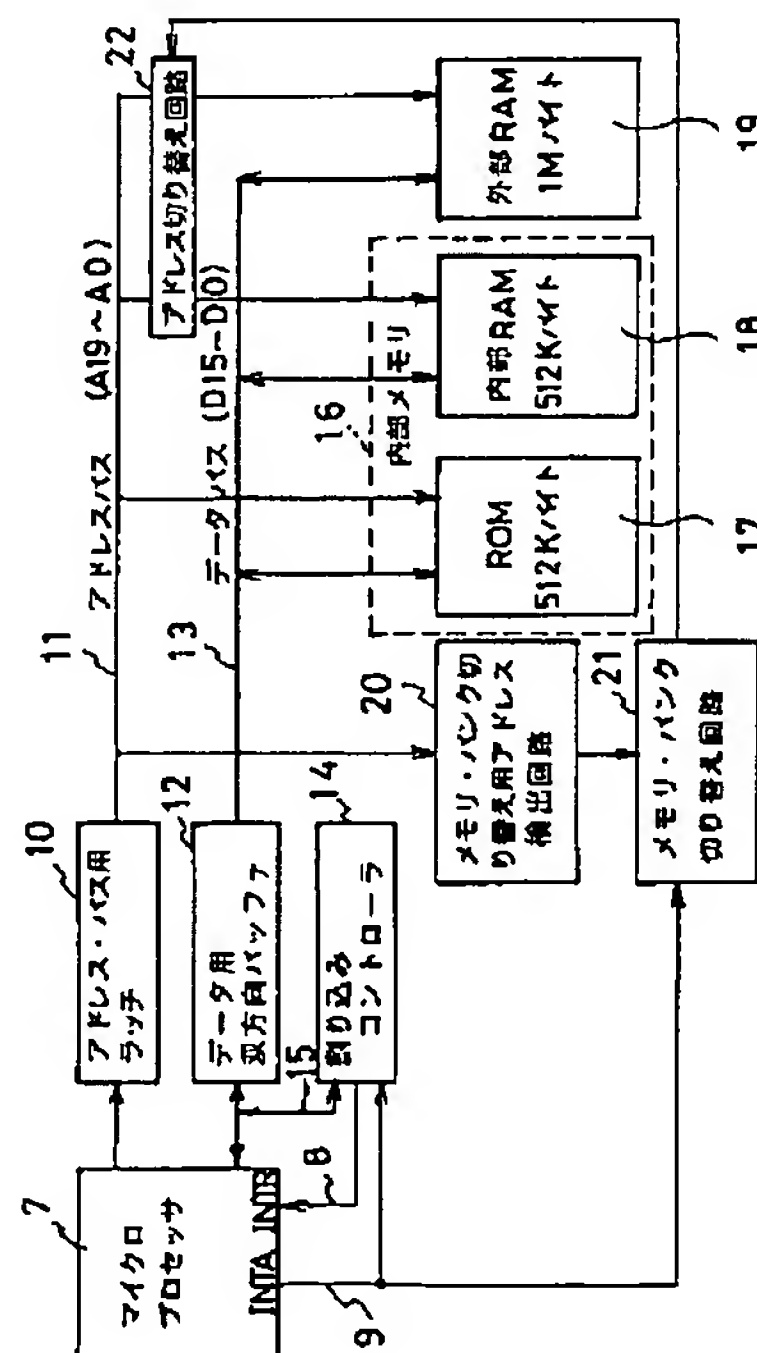
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 マイクロプロセッサにおけるメモリ空間拡張回路

(57) 【要約】

【目的】 マイクロプロセッサにおけるメモリ空間の拡張をバンク切り替え方式により行なうメモリ空間拡張回路において、マイクロプロセッサが持つアドレスバスを外部メモリにも使用できるようにし、任意アドレスのメモリに対してメモリ転送命令が実施でき、しかもマイクロプロセッサの割り込み機能によりマイクロプロセッサのメモリ空間を任意に拡張できるようにするものである。

【構成】 内部メモリ16はメモリ空間1Mバイトのうち、プログラムおよびデータを記憶する512KバイトのROM17およびプログラム上のデータを格納する512Kバイトの内部RAM18と、外部RAM19とを有し、内部RAM空間から外部RAM空間をアクセスする方法として、内部RAMのアドレス70000H~7FFFFHまでの64Kバイトのメモリ空間を介して外部RAMの1Mバイトをバンク1~バンク16まで16分割し、1バンク当り64Kバイトのメモリ空間をアクセスできるようにしたものである。



1

## 【特許請求の範囲】

【請求項1】 マイクロプロセッサにおけるメモリ空間の拡張をバンク切替え方式により行なうメモリ空間拡張回路において、内部メモリの一部を介して外部メモリを動作するため、内部メモリの予め設定したアドレスがマイクロプロセッサからアドレスバスに出力したことを検出するメモリバンク切り替え用アドレス検出回路と、このメモリバンク切り替え用アドレス検出回路の出力により外部メモリのチップセレクト信号を出力するメモリバンク切り替え回路と、このメモリバンク切り替え回路の出力とアドレスバスより入力するアドレスにより外部メモリのバンクのうちの1つを指示するアドレス切り替え回路と、外部メモリが動作中にマイクロプロセッサから割り込み応答信号をメモリバンク切り替え回路に出力するため、マイクロプロセッサに割り込み許可を要求する割り込み要求信号を出力する割り込みコントローラとを備えたことを特徴とするマイクロプロセッサにおけるメモリ空間拡張回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はマイクロプロセッサにおけるメモリ空間の拡張をバンク切替え方式により行なうメモリ空間拡張回路に関するものである。

## 【0002】

【従来の技術】従来のマイクロプロセッサにおけるメモリ空間拡張方式はCQ出版社 岡田正著 トランジスタ技術増刊 メモリIC活用ハンドブックに詳述されているように、バンク切り替え方式と呼ばれる方法を用いている。

【0003】図4は従来のバンク切り替え方式によるメモリ空間の拡張方法を示す構成図であり、例えばインテル（登録商標）製8086の16ビットマイクロプロセッサが持つメモリアドレスの一部を切り替えて拡張するものである。

【0004】また、図5は外部メモリによるメモリ空間の拡張方法を示す構成図である。図において、1はアドレス00000H～FFFFFHの1Mバイトの内部メモリ、2はレジスタ3を備えたマイクロプロセッサ、4はI/Oポート、5は16ビットのデータバス、6はアドレス00000～FFFFFの1Mバイトの外部メモリである。

【0005】この構成におけるメモリバンクの切り替えは特定のI/Oポート・アドレスへメモリバンクを出力することで行なう。すなわち、外部メモリ6に与えるアドレスは全く別々のアドレスレジスタにより指示されるものであり、マイクロプロセッサの持つOUT命令でアドレスとデータを出力し、IN命令でデータを入力するものである。

【0006】図6は図5の外部メモリの動作方法を説明するためのフローチャートである。まず、図6-(a)

2

は外部メモリ6へのデータ書き込みを示し、ステップS<sub>1</sub>で外部メモリ6に対する書き込みアドレスをセットする。ステップS<sub>2</sub>で1ワードのデータを書き込み、ステップS<sub>3</sub>で指定転送回数か否かを判定し、転送回数が指定数以下(NO)であればステップS<sub>2</sub>に戻り、指定回数(YES)であればステップS<sub>4</sub>で終了する。

【0007】図6-(b)は外部メモリからの読み出しを示し、ステップS<sub>5</sub>で外部メモリ6に対する読み出しアドレスをセットし、ステップS<sub>6</sub>で1ワードのデータを読み出し、ステップS<sub>7</sub>で指定転送回数か否かを判定し、転送回数が指定数以下(NO)であればステップS<sub>6</sub>に戻り、指定回数(YES)であればステップS<sub>7</sub>で終了する。

## 【0008】

【発明が解決しようとする課題】しかしながら、上記構成の回路では、外部メモリはマイクロプロセッサから出ているアドレスバスには接続されていないため、マイクロプロセッサの内部メモリのように、任意アドレスのメモリに対してロード命令やストア命令を使用することはできないものであり、プリンタやフロッピーディスクと同様な外部記憶装置としての構成しか使用できない。また、外部メモリへのアドレスバスを供給するアドレスラッチ回路およびコントロール回路が必要となるという問題点があった。

【0009】本発明は以上述べた外部メモリがフロッピーディスクと同様な外部記憶装置としての構成しか使用できないことや外部メモリへのアドレスバスを供給するアドレスラッチ回路およびコントロール回路を必要とするなどの問題点を除去し、外部メモリにおいても内部メモリと同様に任意アドレスに対するマイクロプロセッサの持つメモリ転送命令を使用することができ、しかも外部メモリ用のアドレスラッチ回路およびコントロール回路が不要になる優れたマイクロプロセッサのメモリ空間拡張回路を提供することを目的とする。

## 【0010】

【課題を解決するための手段】本発明は内部メモリの一部を介して外部メモリを動作するためのメモリバンク切り替え用アドレス検出回路と、内部メモリと外部メモリを切り替えるメモリバンク切り替え回路と、外部メモリ内のメモリ空間を内部メモリを介して動作させるメモリ容量を基本として動作させる回路と、外部メモリを動作中にマイクロプロセッサの割り込み応答に応じて外部メモリから内部メモリにメモリバンクを切り替えられる回路とを有している。

## 【0011】

【作用】本発明はマイクロプロセッサが持つアドレスバスを外部メモリにも使用できるようにしたため、内部メモリと外部メモリの切り替えをマイクロプロセッサの一命令で実行することができる。

## 【0012】

50

【実施例】図1は本発明に係るマイクロプロセッサにおけるメモリ空間拡張回路の一実施例を示すブロック図である。図において、7は割り込み許可を要求する割り込み要求信号8が入力するINTR端子、割り込み許可を応答する割り込み応答信号9を出力するINTA端子を有し、例えばインテル（登録商標）製8086の16ビットマイクロプロセッサ、10はこのマイクロプロセッサ7から出力するアドレスバス用ラッチ、11はラッチされたA19～A0のアドレスバス信号が送られるアドレスバス、12はマイクロプロセッサ7から入出力するデータ用双方向バッファ、13はバッファされたD15～D0のデータバス、14はマイクロプロセッサ7に対して割り込み許可を要求する割り込み要求信号9を出力し、そして割り込み応答信号中に発生する割り込みベクタ信号15を出力し、マイクロプロセッサ7に外部で発生した事象を知らせる割り込み信号を制御する、例えばインテル（登録商標）製8259Aの割り込みコントローラ、16は図2に示すように、プログラムおよびデータを記憶しておくため、例えば80000H～FFFFFHに設定する512KバイトのROM17とプログラム上のデータを格納するRAM用として例えばメモリアドレス00000H～7FFFFFHに設定する512Kバイトの内部RAM18から構成するメモリ空間1Mバイトの内部メモリ、19はメモリ空間を拡張するための、例えば1Mバイトの外部RAM、20は図2に示すように内部RAM18のアドレス70000H～7FFFFFHまで64Kバイトのメモリ空間を介して外部RAM19の1MバイトをバンクB1～B16まで16分割し、1バンク当り64Kバイトのメモリ空間をアクセスできるようにアドレスバス11の70000H～7FFFFFHを検出して内部RAM18から外部RAM19をアクセスするメモリバンク切り替え用アドレス検出回路、21は内部RAM18のアドレス70000H～7FFFFFHまでの64Kバイトのメモリ空間を介して外部RAM19の1MバイトのバンクB1～B16までアクセスするメモリバンク切り替え回路、22は内部RAM18のメモリ空間を介して外部RAM19の16個のバンクのメモリ空間をアクセスするとき、16個のバンクのうち1つのバンクを指示するアドレス切り替え回路である。

【0013】なお、外部RAM空間をアクセスしない場合には内部RAM空間のアドレス70000H～7FFFFFH使用できるメモリレイアウト構造である。

【0014】また、図3は図1の動作を説明する回路図であり、IC4、IC5、IC6およびIC7により、メモリバンク切り替え回路21を構成する。そして、IC4のCH0～CH3は外部RAM19の16個のバンクを選択する信号、IC4のENBANKは論理レベル「L」のとき内部RAM18を選択し、論理レベル「H」でかつメモリバンク切り替え用アドレス検出回路

(IC3)20の図示せぬデコード回路が、内部RAM18のアドレス70000H～7FFFFFHを検出したときに外部RAM19を選択する。IC5はその出力信号Qが論理レベル「L」ならば内部RAM(IC2)18のチップセレクト信号をアクティブにし、論理レベル「H」ならば外部RAM(IC1)19のチップセレクト信号をアクティブにする回路であるが、この実施例ではインテル（登録商標）製8086の仕様上の制約からマイクロプロセッサ7が割り込み要求信号8を受付けると割り込み応答信号9を発生し、この際、マイクロプロセッサ7は内部RAM18のメモリ番地を読み込む必要があり、割り込み応答信号9を用いて内部RAM18にメモリバンクを切り替える回路として働くものである。

【0015】次に、上記構成によるマイクロプロセッサにおけるメモリ空間拡張回路の動作について説明する。まず、内部RAM18の512Kバイトを選択する場合、IC5の出力信号Qを論理レベル「L」にし、チップセレクト信号をアクティブにする。そして、IC8のアドレスを有効にし、IC9のアドレスを無効にする。このため、内部RAM18のアドレス00000H～7FFFFFHを設定することができるので、アドレスバス11およびデータバス13により内部RAM18をアクセスすることができる。

【0016】次に、メモリ空間の拡張を行なうため、外部RAM19の1Mバイトを選択する場合、IC5の出力信号Qを論理レベル「H」にし、チップセレクト信号をアクティブにする。そして、IC9のアドレスを有効とし、IC8のアドレスを無効にする。この状態で、メモリバンク切り替え用アドレス検出回路20がアドレスバス11の70000H～7FFFFFHを検出すると、メモリバンク切り替え回路21のIC4のENBANKが論理レベル「H」になる。そして、IC4のCH0～CH3に選択したいバンクの信号が入力すると、内部RAM18のメモリ空間を介して外部RAM19の16個のバンクのうちの1つのバンクのメモリ空間を選択できるので、アドレスバス11およびデータバス13により外部RAM19をアクセスすることができる。

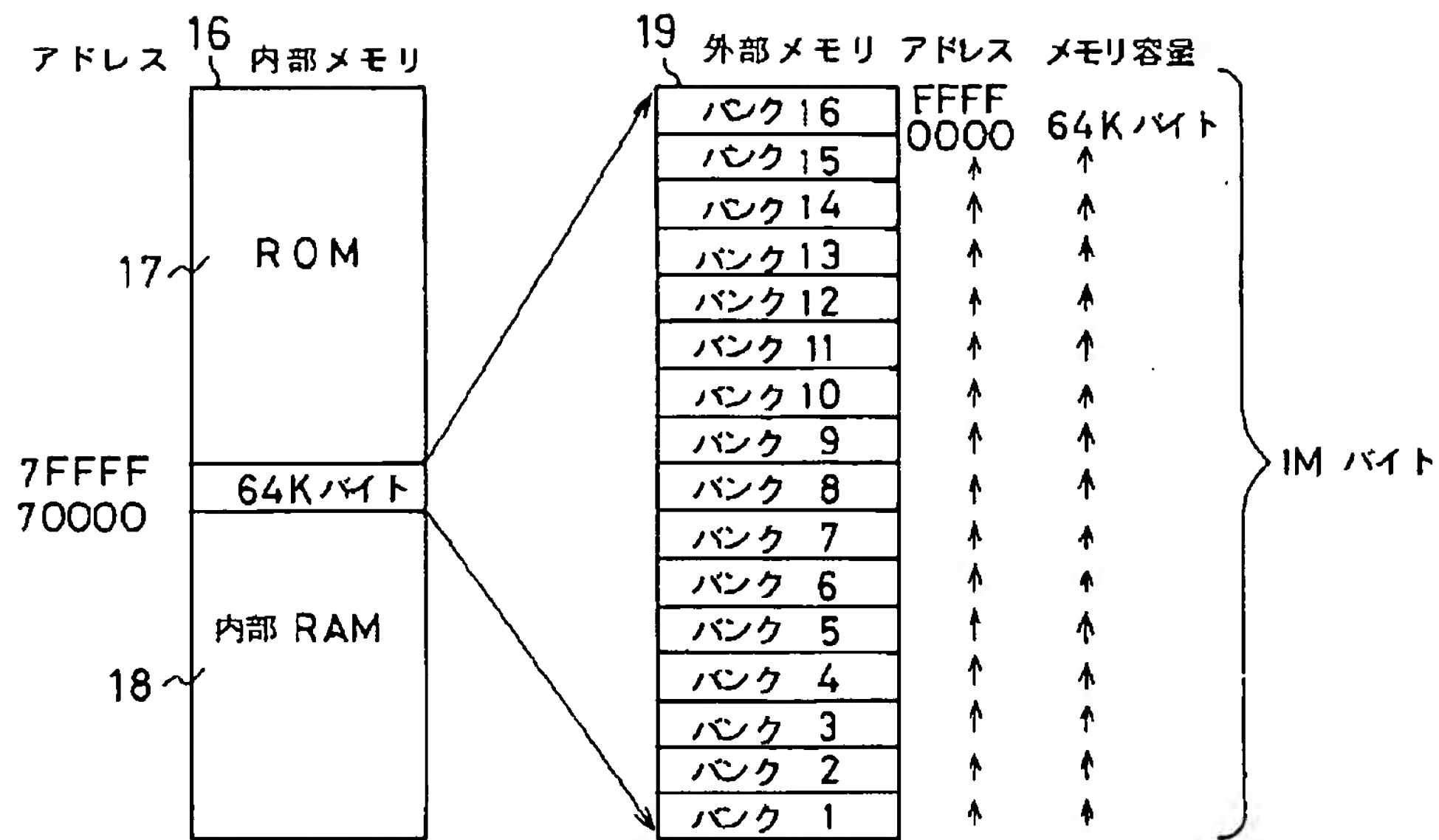
【0017】なお、外部RAM19のバンクが使用中に、内部RAM18を選択する場合についても、割り込みコントローラ14の制御により切り替えることができることはもちろんである。

【0018】また、以上はインテル（登録商標）製8086のマイクロプロセッサのメモリ空間を拡張する場合について説明したが、これに限定せず、各種のマイクロプロセッサのメモリ空間を拡張することができることはもちろんである。また、内部メモリに1Mバイト、外部メモリを1Mバイトとしたが、これに限定せず、各種のメモリ容量に実施することができることはもちろんである。

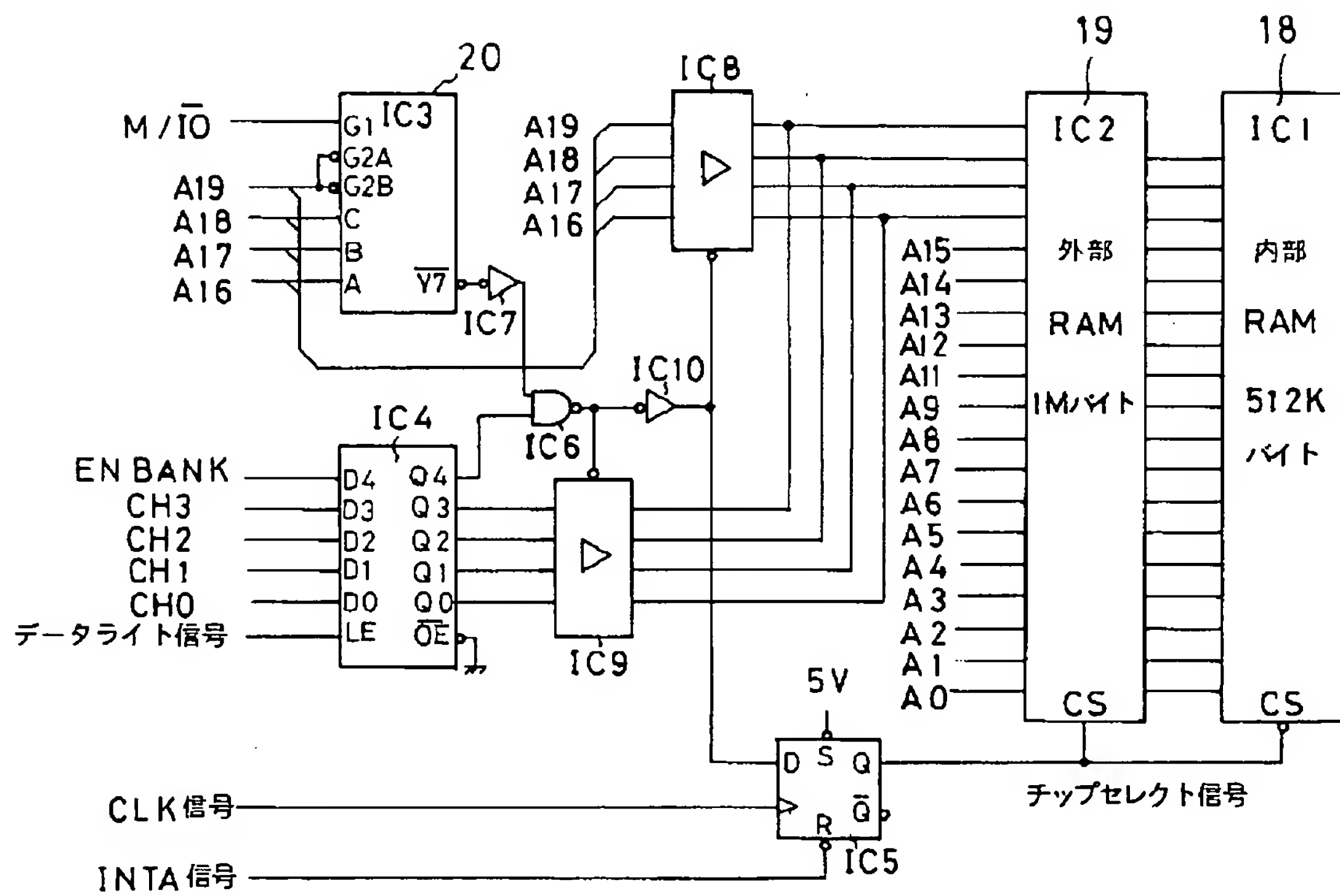
【0019】



【図2】

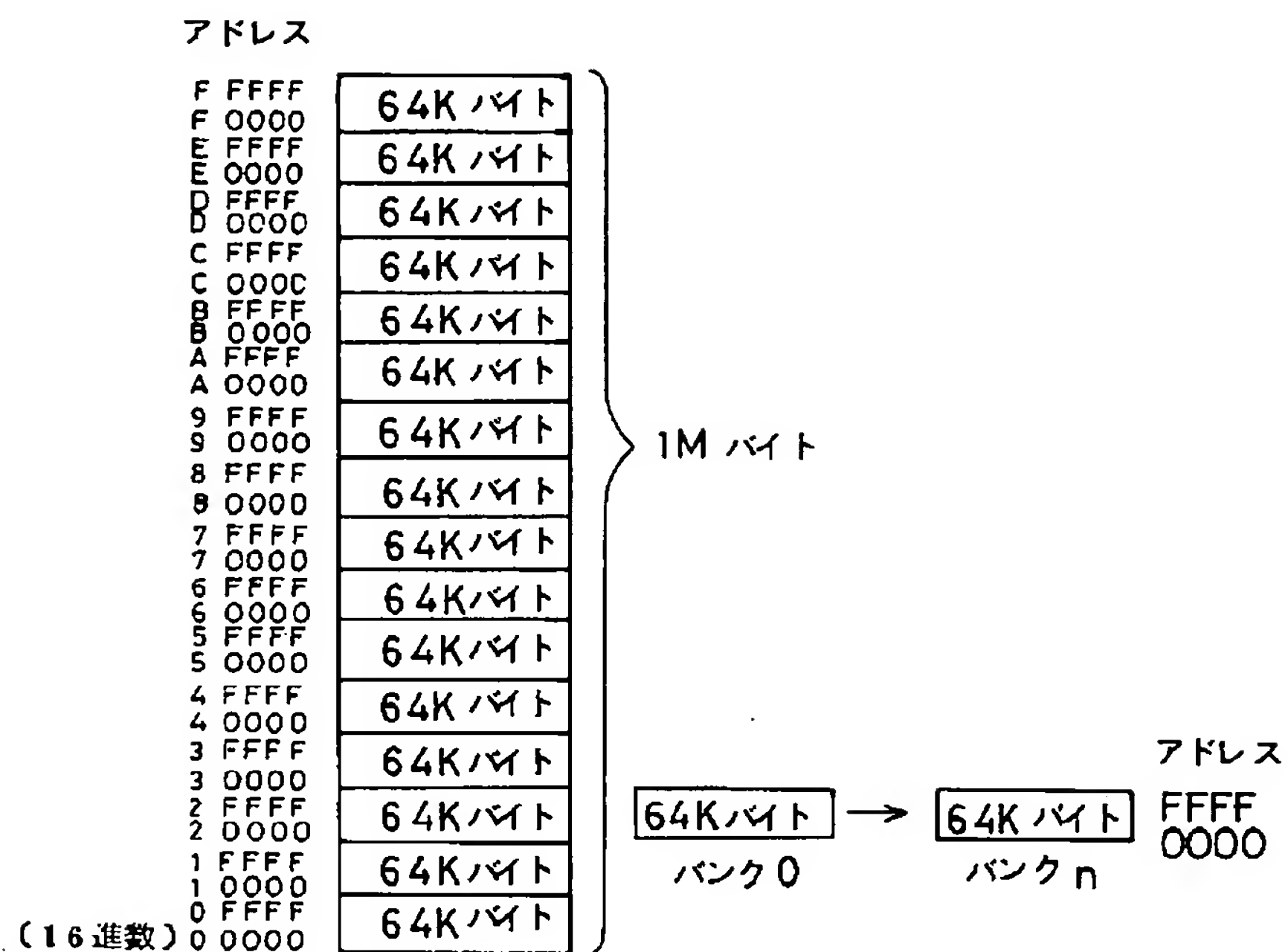


【図3】

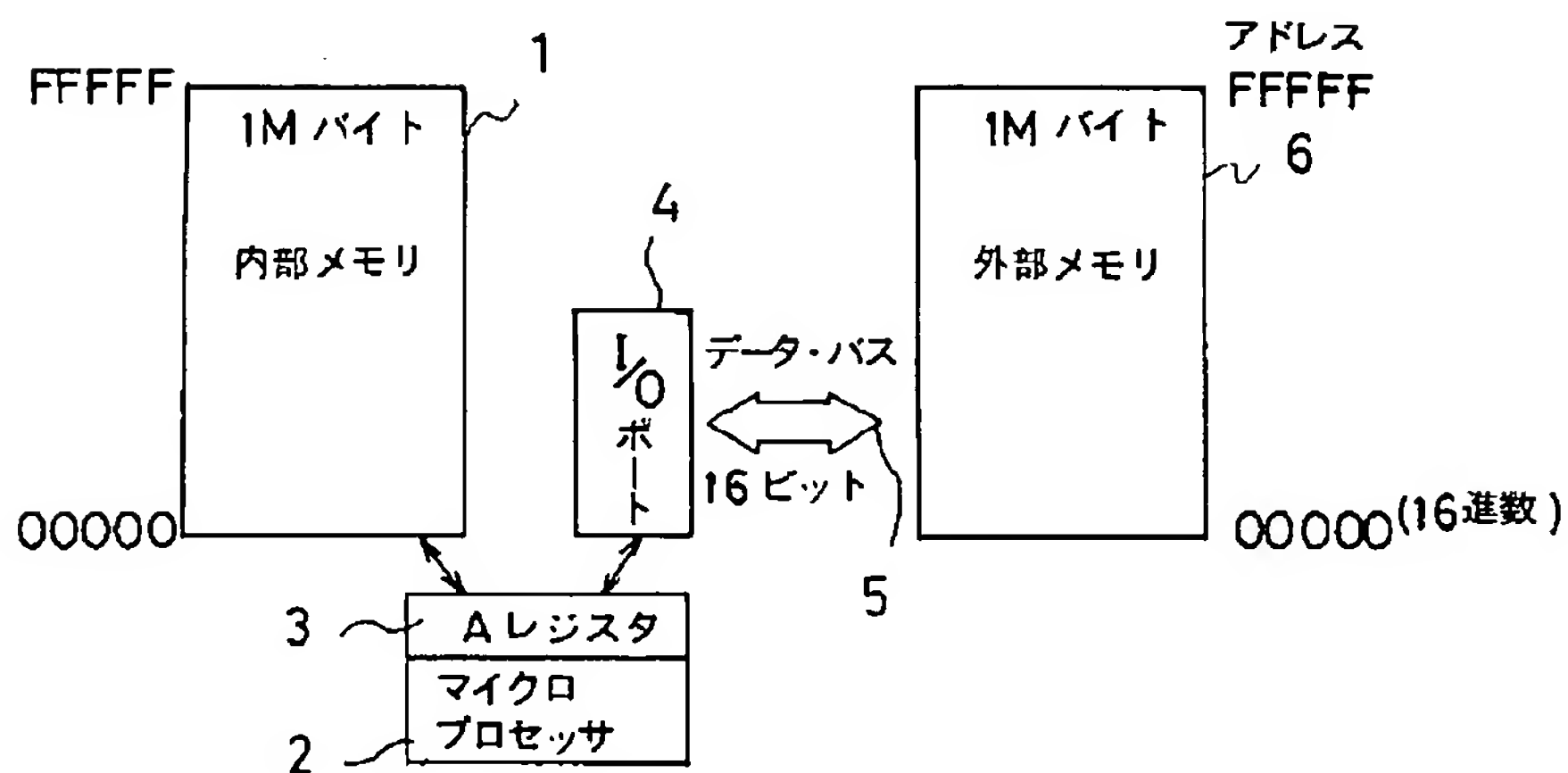




【図4】

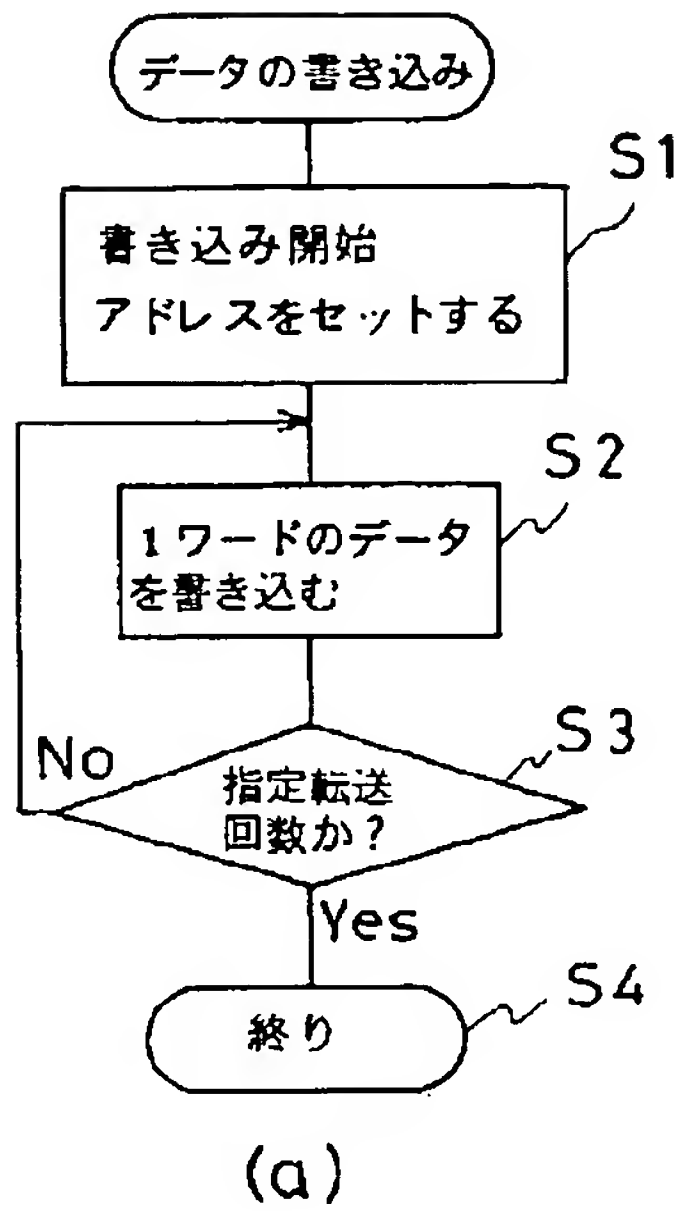


【図5】



【図6】

外部メモリへのデータ書き込み



外部メモリからのデータ読み出し

